

# Análise de Parâmetros de Potência e Atraso em Circuitos Integrados CMOS

Douglas Adalberto Scheunemann, UCPEL;

**Resumo**—Os parâmetros de funcionamento de um circuito integrado CMOS estão diretamente relacionados com a tecnologia de fabricação utilizada. Parâmetros como largura de canal, relação W/L e capacitância de saída afetam características funcionais do circuito, como potência e tempo de propagação. Algumas técnicas de projeto podem ser aplicadas para melhorar o desempenho do circuito de acordo com as características funcionais desejadas. Neste trabalho é apresentada uma análise da variação de potência e atraso para uma porta  $NAND_4$  em função dos parâmetros “W” do transistor, capacitância de saída e rampa de entrada. Ao final é apresentado um resumo da relação entre estas variáveis.

**Palavras-Chave**—Circuito Integrado, CMOS, Potência, Atraso.

## 1 Introdução

A tecnologia CMOS – *Complementary Metal-Oxide Semiconductor* é amplamente utilizada na fabricação de circuitos integrados VLSI – *Very-large-scale integration*. Esta tecnologia é caracterizada pela aplicação de transistores MOSFET do tipo P e N em redes complementares *pull-up* e *pull-down*. Na figura 1 pode ser vista a estrutura física e as partes de um transistor NMOS, sendo identificadas as dimensões “L” e “W”, fundamentais para o entendimento deste trabalho.

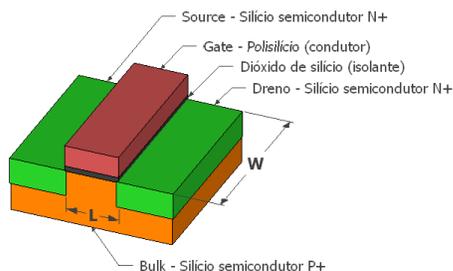


Figura 1: Partes e estrutura física de um transistor NMOS [1].

A largura do canal “L” de um transistor é um dos principais parâmetros de fabricação, o qual afeta diretamente a complexidade do processo de

produção e também o desempenho do circuito integrado. Atualmente, a menor tecnologia de produção utilizada pela empresa Intel é de 14 nm [2].

Neste trabalho é feita a análise para o atraso e potência da porta CMOS  $NAND_4$ , mostrada na figura 2. O layout da mesma foi gerado na ferramenta Microwind, a partir da linha de código Verilog “ $nand4 = \sim (a\&b\&c\&d)$ ”.

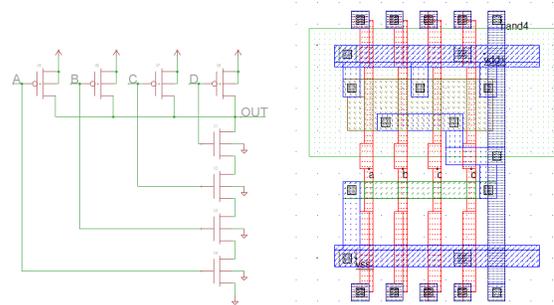


Figura 2: Circuito e layout da porta  $NAND_4$  analisada.

Através do software Microwind foi feita a exportação do modelo spice a partir do layout da porta  $NAND_4$  mostrada na figura 2. O resultado da exportação pode ser visto no código 1. A tecnologia utilizada foi de 600 nm, e ao final do código foram adicionados comandos para simulação em modo transiente e exportação dos dados para análise.

- **Douglas Adalberto Scheunemann:** *Introdução ao Projeto de Circuitos VLSI, Programa de Pós-Graduação em Eletrônica e Computação, Centro de Politécnico - CPoli. Universidade Católica de Pelotas - UCPEL. E-mail: douglas.tro.s@gmail.com*

```
1 * IC Technology: CMOS 0.6um - 3 Metal
2 *
3 VDD VCC 0 DC 5.00
```

```

4 * MOS devices
5 MN1 5 D OUT 0 N1 W= 1.20U L= 0.60U
6 MN2 6 C 5 0 N1 W= 1.20U L= 0.60U
7 MN3 7 B 6 0 N1 W= 1.20U L= 0.60U
8 MN4 0 A 7 0 N1 W= 1.20U L= 0.60U
9 MP1 OUT D VCC VCC P1 W= 3.60U L= 0.60U
10 MP2 VCC C OUT VCC P1 W= 3.60U L= 0.60U
11 MP3 OUT B VCC VCC P1 W= 3.60U L= 0.60U
12 MP4 VCC A OUT VCC P1 W= 3.60U L= 0.60U
13 *
14 C2 VCC 0 30.889fF
15 C3 OUT 0 13.812fF
16 C5 5 0 1.656fF
17 C6 6 0 1.656fF
18 C7 7 0 1.656fF
19 C8 A 0 1.557fF
20 C9 D 0 1.557fF
21 C10 C 0 1.557fF
22 C11 B 0 1.557fF
23 *
24 * n-MOS Model 3 :
25 .MODEL N1 NMOS LEVEL=3 VTO=0.80 UO=600.000 TOX=15.0E-9
26 +LD =0.010U THETA=0.200 GAMMA=0.700
27 +PHI=0.700 KAPPA=0.010 VMAX=130.00K
28 +CGSO=100.0p CGDO=100.0p
29 +CGBO= 60.0p CJSW=240.0p
30 *
31 * p-MOS Model 3:
32 .MODEL P1 PMOS LEVEL=3 VTO=-0.80 UO=200.000 TOX=15.0E-9
33 +LD =-0.050U THETA=0.200 GAMMA=0.450
34 +PHI=0.700 KAPPA=0.040 VMAX=100.00K
35 +CGSO=100.0p CGDO=100.0p
36 +CGBO= 60.0p CJSW=240.0p
37 * Comandos análise de transiente
38 VA A 0 pulse(5 0 0 1p 1p 1n 2n)
39 VB B 0 pulse(5 0 0 1p 1p 2n 4n)
40 VC C 0 pulse(5 0 0 1p 1p 4n 8n)
41 VD D 0 pulse(5 0 0 1p 1p 8n 16n)
42 .control
43 tran 0.1p 32n
44 plot i(VDD)*(-10.0) A+10 B+16 C+22 D+28 OUT+34
45 write wa_p.1.2_u.txt (i(VDD)*(-0.005))
46 write wa_s.1.2_u.Atxt A
47 write wa_s.1.2_u.Otxt OUT
48 .endc
49
50 .END

```

Código 1: Código Spice exportado do software Microwind para porta NAND4.

O modelo Spice mostrado no código 1 foi simulado no software SpiceOpus com a finalidade de verificar o comportamento do circuito nas métricas atraso e potência. O tempo de propagação ou atraso [3] e a potência RMS consumida pelo circuito foram calculados para os sinais discretos gerados no simulador utilizando as equações 1 e 2, respectivamente.

$$T_p = \frac{T_{pHL} + T_{pLH}}{2} \quad (1)$$

$$P_{RMS} = \sqrt{\frac{1}{N} \sum_{i=1}^N (V.I)_i^2} \quad (2)$$

Na seção 2 tem-se os resultados em função da variação do “W” dos transistores. Na seção 3 são apresentados os resultados para a variação da capacitância de saída e na seção 4 para a variação da rampa de entrada. Na seção 5 são apresentadas as considerações finais sobre a análise do circuito.

## 2 Variação do “W” do transistor

Utilizando o modelo Spice mostrado no código 1 e o software SpiceOpus, foram feitas simulações alterando o parâmetro “W” dos transistores, conforme a tabela 1. Na figura 3 tem-se os gráficos para simulação de transiente para valores de “W”, de 1,2  $\mu\text{m}$  e 19,2  $\mu\text{m}$ , respectivamente. O sinal em vermelho representa a corrente do circuito durante a comutação das entradas A, B, C e D.

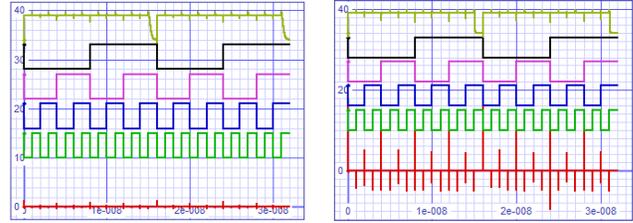


Figura 3: Resultado para simulação do circuito com 1,2  $\mu\text{m}$  e 19,2  $\mu\text{m}$ .

Os valores de atraso e potência mostrados na tabela 1 e nos gráficos da figura 3, foram obtidos aplicando as equações 1 e 2 sobre os vetores gerados na simulação do modelo Spice.

Tabela 1: Combinações de  $W_{NMOS}$  e  $W_{PMOS}$  simuladas e resultados de potência e atraso obtidos.

$W_{NMOS}$	$W_{PMOS}$	Potência ( $\mu\text{W}$ )	Atraso (ps)
1,2	3,6	12,70	644,9
2,4	7,2	28,84	590,8
4,8	14,4	62,380	561,2
9,6	28,8	131,93	546,7
19,2	57,6	287,16	542,1

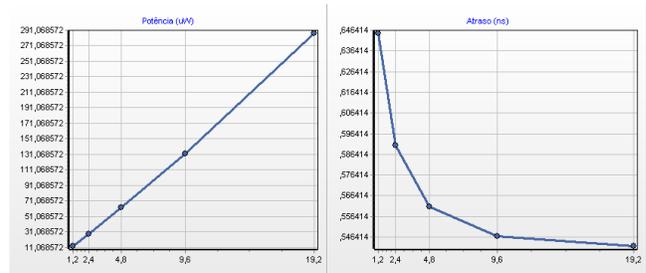


Figura 4: Potência e atraso do circuito em função da variação do “W” dos transistores.

Com base nos resultados da simulação, pode-se observar que a potência dissipada pelo circuito é diretamente proporcional ao “W” dos transistores, enquanto o atraso é inversamente proporcional. Realizando o cálculo de PDP *power-delay product*, conforme figura 5, verifica-se que o ponto ótimo de operação do circuito é dado para  $W_p = 2,4 \mu\text{m}$ .

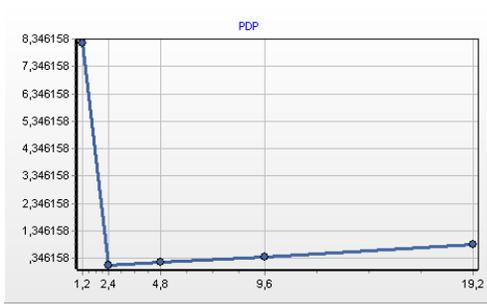


Figura 5: PDP normalizado em função da variação do “W” dos transistores.

### 3 Variação da capacitância de saída

As simulações descritas nesta seção foram realizadas utilizando o modelo Spice, mostrado no código 1, alterando o valor da capacitância de saída (C3), conforme a tabela 2.

Tabela 2: Valores de capacitância de saída simuladas e resultados de potência e atraso obtidos.

Capacitância (fF)	Potência ( $\mu$ W)	Atraso (ns)
6,94	1,57	5,146
13,81	1,48	5,187
15,00	1,45	5,199
27,62	1,46	5,288
35,00	1,46	5,335
55,25	1,50	5,457
110,50	1,51	5,791

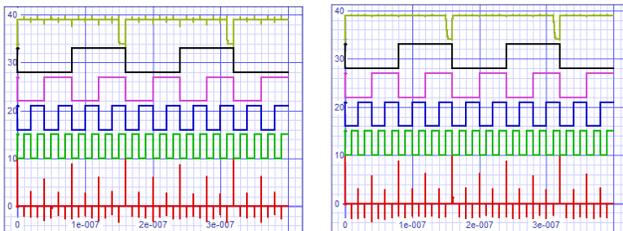


Figura 6: Resultado para simulação do circuito com  $C_l = 6,94$  fF e  $C_l = 110,5$  fF.

Conforme os resultados apresentados na figura 7, a variação da capacitância de saída afetou de forma diretamente proporcional o tempo de propagação. Isto era esperado, visto que o mesmo é função da constante RC formada entre a capacitância de saída e a resistência equivalente dos transistores e conexões.

A potência do circuito sofreu pequena variação em função da mudança de capacitância e observou-se ainda um comportamento não linear para valores baixos de capacitância. Porém, para valores maiores que 13,8 fF, a potência apresentou tendência de aumento diretamente proporcional

com a capacitância de saída, conforme é apresentado na literatura [3]. A probabilidade de comutação é um parâmetro que deve ser considerado na análise de potência, caso o vetor de entradas aplicado ao circuito provoque uma maior quantidade de transições do sinal de saída, a potência dissipada em função da capacitância de saída deve aumentar [3].

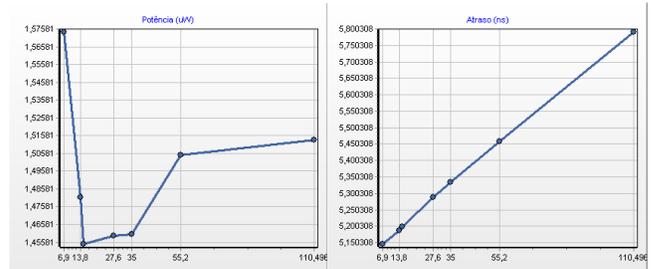


Figura 7: Potência e atraso do circuito em função da variação da capacitância de saída.

O aumento da capacitância de saída prejudica o desempenho do circuito, tanto em potência quando em atraso [3]. Através da simulação isso pode ser comprovado. Na figura 8 tem-se o cálculo do PDP em função da variação de capacitância de carga. O PDP do circuito foi diretamente proporcional à capacitância de carga.

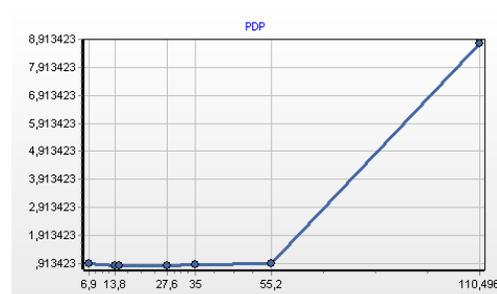


Figura 8: PDP normalizado em função da variação da capacitância de saída.

### 4 Variação da rampa de entrada

As simulações descritas nesta seção foram realizadas utilizando o modelo Spice, mostrado no código 1, modificando em cada simulação o valor da rampa dos sinais de entrada do circuito. Na tabela 3 são apresentados os valores de rampa utilizados e os resultados obtidos.

Na figura 9 pode ser observado que, com o aumento da rampa dos sinais de entrada ocorreu a redução nos picos de consumo de corrente durante as transições dos sinais de entrada. Isso ocorre

Tabela 3: Valores de rapa utilizados e resultados de potência e atraso obtidos.

Rampa (ps)	Potência ( $\mu\text{W}$ )	Atraso (ns)
5,0	2,40	5,189
10,0	1,48	5,187
20,0	0,77	5,172
40,0	0,52	5,180
100,0	0,36	5,211

pois os picos de corrente sem transição da saída são resultado do chaveamento das capacitâncias parasitas do circuito. A corrente em um capacitor é dada por  $I_c = C \frac{dV_c}{dt}$ , logo, a diminuição do termo  $dV_c/dt$  resulta na redução da corrente.

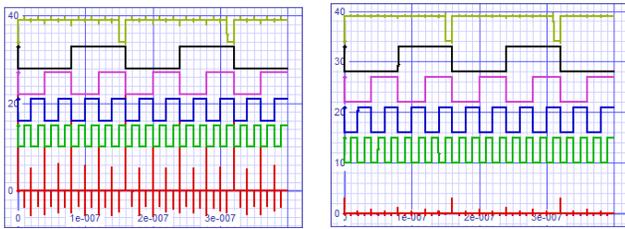


Figura 9: Resultado para simulação do circuito com rampa de entrada de 5,0 ps e 100,0 ps.

Na figura 10 são apresentados os resultados de potência e atraso para as simulações realizadas. A variação percentual do atraso foi pequena em função da variação da rampa. Isso é esperado para circuitos que operam com ponto de comutação simétrico. Pode-se observar no modelo Spice do código 1 que  $W_p = 3 \cdot W_n$ . Esta relação é utilizada para ajustar o ponto de comutação do circuito em torno de  $VCC/2$  [3].

Para a potência, pode ser observada uma relação inversamente proporcional com a rampa dos sinais de entrada. A redução da potência se deve à diminuição dos picos de corrente em elementos capacitivos parasitas do circuito.

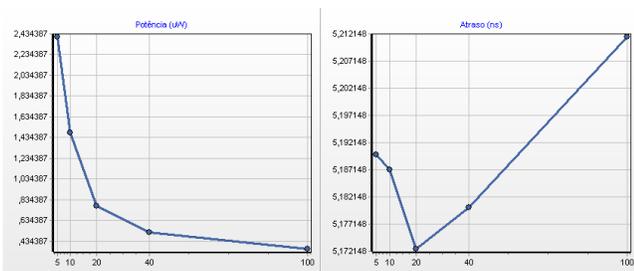


Figura 10: Potência e atraso do circuito em função da variação da rampa dos sinais de entrada.

Conforme os resultados da simulação, o controle da rampa dos sinais de entrada pode ser

uma técnica importante na redução da potência dissipada no circuito. Porém, é necessário que o circuito possua uma curva de comutação simétrica, para que o tempo de propagação não seja alterado de forma significativa.

## 5 Considerações finais

Neste trabalho foram avaliadas algumas variáveis relacionados ao projeto de circuitos integrados, que impactam no seu desempenho com relação à potência e tempo de propagação dos sinais. Através dos resultados obtidos nas simulações, é possível classificar as variáveis com relação à sua interferência em potência, atraso ou ambos.

Tabela 4: Resumo da influência das variáveis analisadas em potência e atraso.

Variável	Potência)	Atraso
↑ W	↑	↓
↑ Cl	↑	↑
↑ Rampa	↓	Inconclusivo*

\* Parâmetro depende do ponto de comutação dos transistores das redes *pull-up* e *pull-down*.

## Referências

- [1] Paulo Francisco Butzen, Vinícius Dal Bem, Leomar da Rosa Jr, André Inácio Reis, and Renato Perez Ribas. Efeitos Físicos Nanométricos em Circuitos Integrados Digitais.
- [2] Intel. Intel® 14 nm Technology, 2015.
- [3] Jan M. Rabaey, Anantha Chandrakasan, and Borivoje Nikolic. *Digital Integrated Circuits*. 2003.