

UNIVERSIDADE CATÓLICA DE PELOTAS
MESTRADO EM ENGENHARIA ELETRÔNICA E
COMPUTAÇÃO

DOUGLAS ADALBERTO SCHEUNEMANN

DISCIPLINA DE INTRODUÇÃO AO PROJETO DE
CIRCUITOS VLSI (PCVLSI)
TRABALHO II

Pelotas, maio de 2015

SUMÁRIO

1	TRABALHO PROPOSTO	2
2	MATERIAIS E MÉTODOS	2
2.1	SOFTWARE MAGIC	2
2.2	SOFTWARE SPICE OPUS.....	2
3	LAYOUT PORTA LÓGICA NAND4.....	3
3.1	REGIÕES ATIVAS E POLISILÍCIO	5
3.2	POÇO NA REGIÃO DE DIFUSÃO P.....	6
3.3	CAMADAS DE METAL E CONTATOS	7
3.4	RESULTADOS OBTIDOS ATRAVÉS DE SIMULAÇÃO.....	8
4	LAYOUT SIMBÓLICO DO SOMADOR COMPLETO DE 1 BIT.....	11
5	CONCLUSÃO.....	12
6	REFERÊNCIAS BIBLIOGRÁFICAS	13

1 Trabalho proposto

1 – Fazer o Layout simbólico do somador completo de 1 bit do slide 26 do material sobre layout da disciplina.

2 – Fazer o layout de uma porta lógica NAND4 na Ferramenta Magic.

2 Materiais e métodos

A seguir serão descritos os softwares e as técnicas utilizadas na execução deste trabalho.

2.1 Software Magic

Para a execução do layout da porta NAND4 foi utilizado o software Magic. Trata-se de um editor de layout gratuito, que possibilita a criação de layout de circuitos integrados de forma manual. A interface do programa pode ser vista na figura 1.

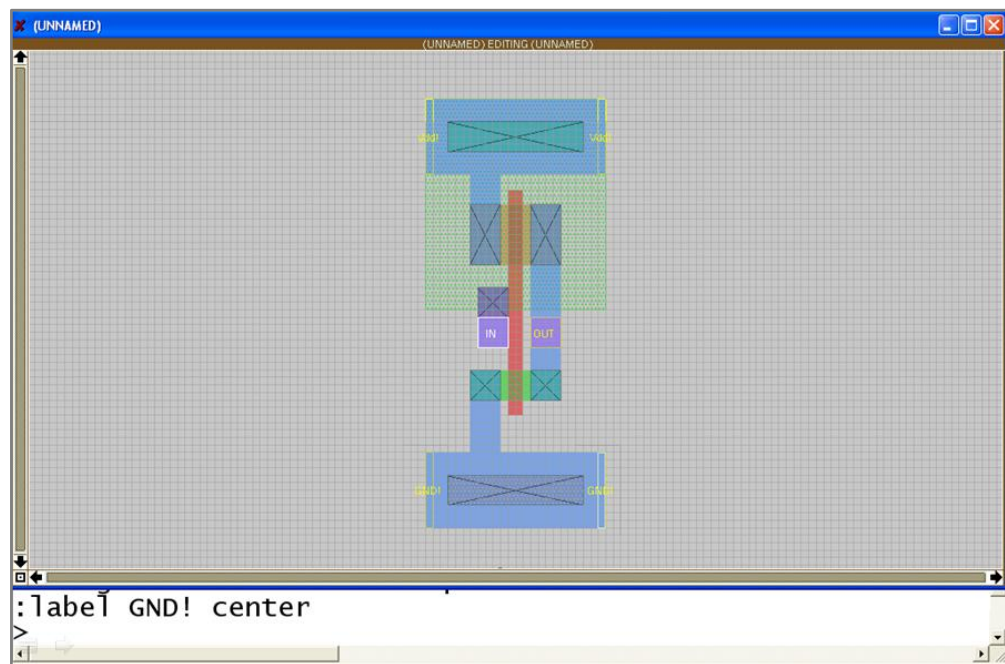


Figura 1: interface software Magic. Adaptado de Costa (2015).

2.2 Software Spice Opus

O software Spice Opus foi utilizado para a simulação do modelo extraído a partir do layout elaborado no software Magic. O mesmo foi desenvolvido pelo grupo de EDA da

Faculdade de Engenharia Elétrica da Universidade de Ljubljana da Slovenia. Trata-se de um software *free*, dedicado para a simulação de circuitos utilizando a linguagem *Spice*.

3 Layout porta lógica NAND4

A porta NAND4 pode ser construída em tecnologia CMOS seguindo o diagrama de transistores mostrado na Figura 2.

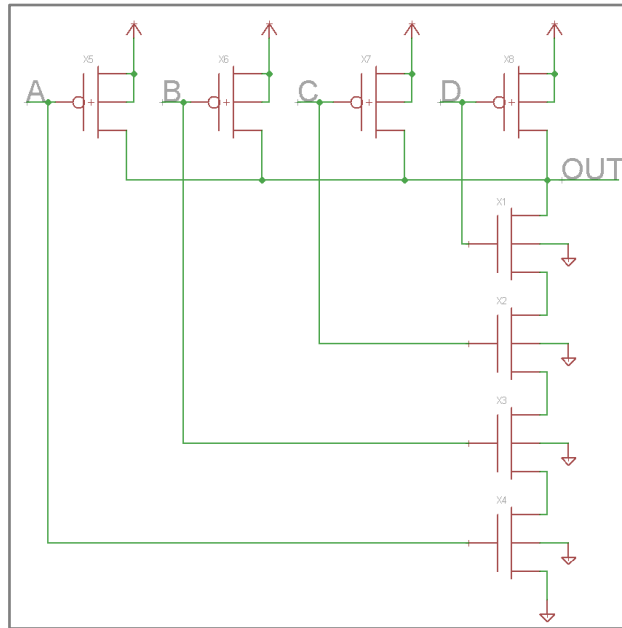


Figura 2: circuito da porta lógica NAND4.

Utilizando o software Magic, foi feito o layout para a porta NAND4 mostrado na Figura 3.

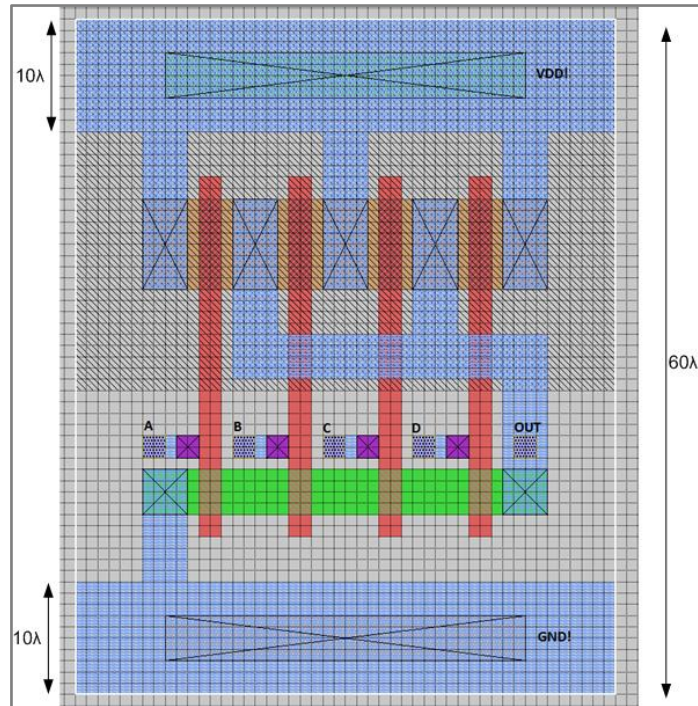


Figura 3: layout grid para a porta NAND4 no software Magic.

Para criação do layout foi seguido um padrão de Standard-cell com 60λ de altura máxima e 10λ de altura das camadas de VDD e GND. Foram utilizadas também as regras de projeto simplificadas mostradas na Figura 4.

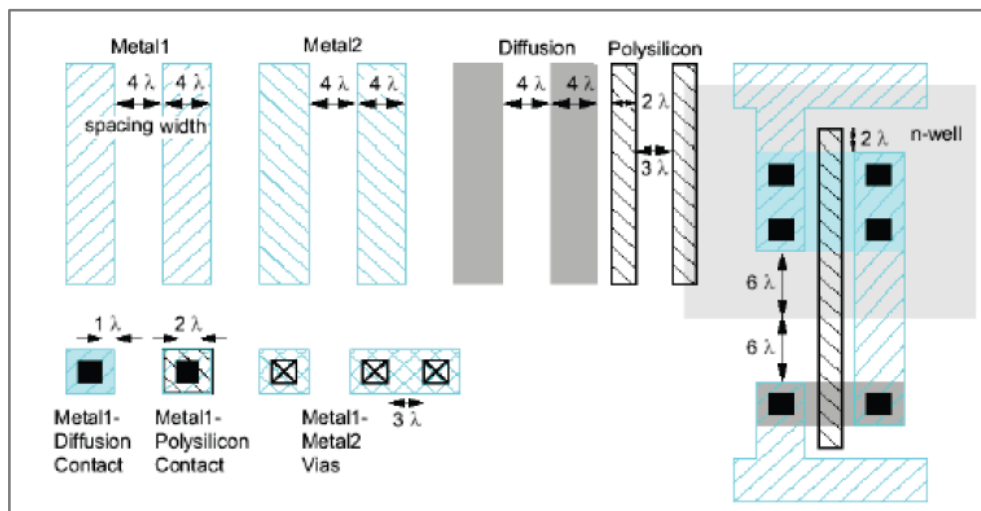


Figura 4: regras de layout simplificadas. Adaptado de Costa (2015).

Nas subseções a seguir serão especificadas as camadas adicionadas ao layout. A estrutura interna de um circuito integrado pode ser representada de maneira simplificada através da Figura 5. Nesta pode ser visualizada a ordem com que as camadas de materiais são estruturadas.

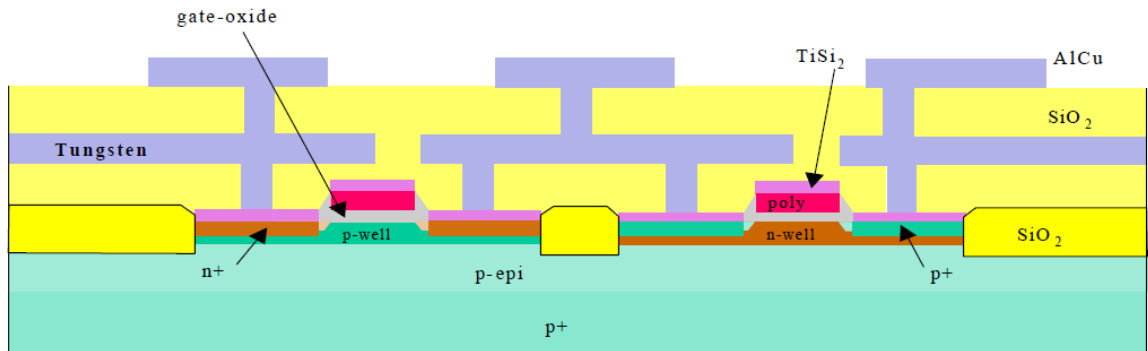


Figura 5: vista em corte de um circuito integrado. Fonte: Rabey (2003).

3.1 Regiões ativas e polisilício

Na Figura 6 podem ser vistas as camadas de difusão P (laranja) e N (verde) e as camadas de polisilício (vermelho) adicionadas ao layout. Através do cruzamento entre o polisilício e as regiões ativas é que são formados os transistores que compõe o circuito. Cabe ressaltar que entre o polisilício e as regiões ativas é aplicada uma camada de óxido para isolação, conforme é mostrado na Figura 5.

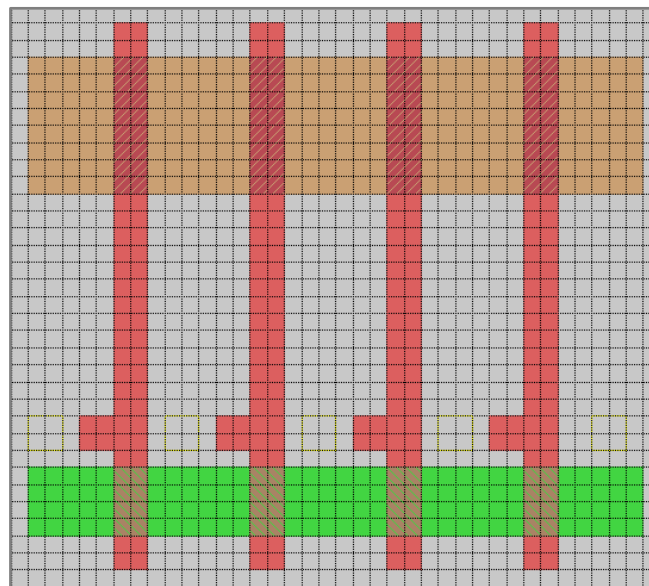


Figura 6: regiões de difusão N e P e polisilício.

A região de difusão P possui uma largura maior, no caso o dobro, para equilibrar o ponto de comutação do circuito, visando manter as margens de ruído simétricas. Na Figura 7 podem ser vistos os pontos de operação e a curva de comutação ideal para um circuito inversor.

Na seção 3.4 é apresentado o resultado obtido para a curva de comutação da NAND4 a partir de simulação do circuito Spice exportado do layout gerado no software Magic.

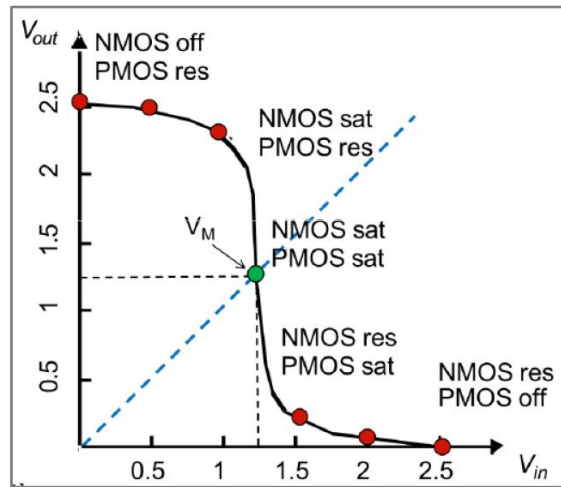


Figura 7: pontos de operação para transistores PMOS e NMOS, operando em circuito inversor. Fonte: Costa (2015).

3.2 Poço na região de difusão P

Inclusão da camada de material tipo N para formar o poço para a região de difusão P. Esta camada é necessária porque o chip é construído sobre um substrato do tipo P, conforme Figura 5, logo para formar um transistor do tipo PMOS, faz-se necessária esta camada de material de tipo N intermediária.

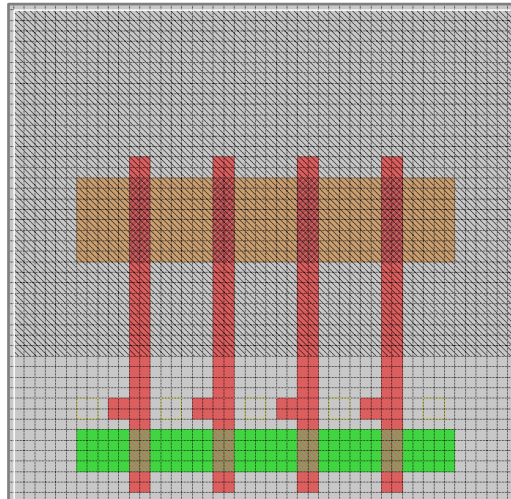


Figura 8: inclusão do poço N sob a região de difusão P.

3.3 Camadas de metal e contatos

A última etapa no layout da porta NAND4 foi a inclusão das camadas de metal e interconexões. Foram utilizadas as camadas mostradas na Tabela 1. Na Figura 9 pode ser visto o layout completo da porta NAND4.

Tabela 1: camadas de metais e conexões utilizadas.

Camada Magic	Função	Cor
metal1	Interconexão no nível de metal 1	
polycontact	Via polisilício – metal 1	
pdcontact	Via difusão P – metal 1	
ndcontact	Via difusão N – metal 1	
psubstratecontact	Via substrato P – metal 1 – GND	
nsubstratencontact	Via substrato N – metal 1 – VDD	
m2contact	Via metal1 – metal2	

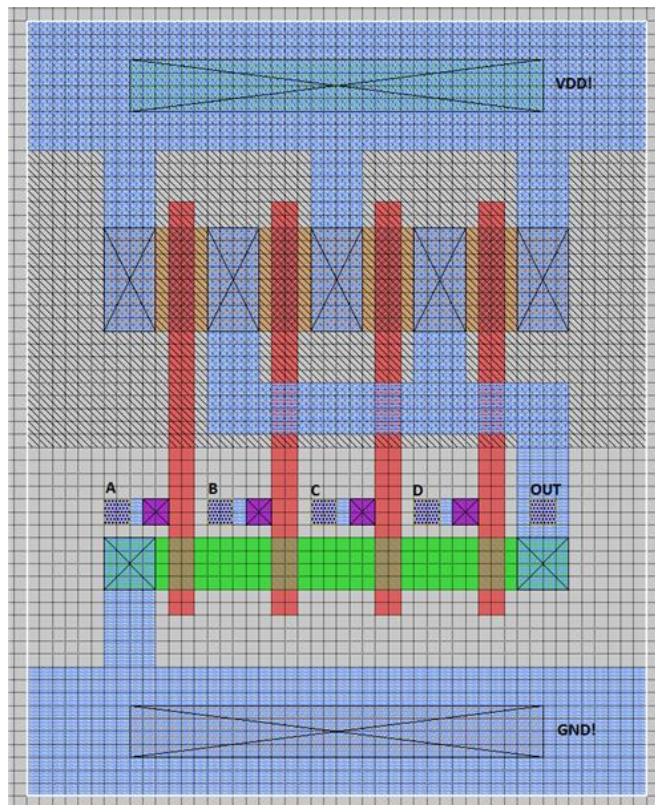


Figura 9: inclusão das camadas de metal e contatos, layout finalizado.

3.4 Resultados obtidos através de simulação

Com a finalidade de verificar o funcionamento da porta NAND4 construída no software Magic, foi feita a simulação da mesma no software Spice Opus. Esta simulação foi possível através da extração do modelo Spice no software Magic, utilizando o comando “ext2spice”. O resultado obtido pode ser visto na Figura 10, na qual observa-se que o sinal de saída OUT obedece a tabela verdade da porta NAND4.

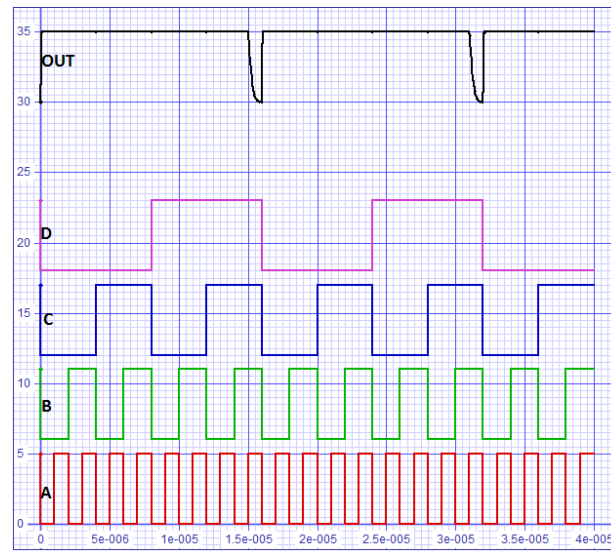


Figura 10: resultado para a simulação do modelo Spice exportado a partir do layout gerado no Magic.

O código gerado a partir do software Magic pode ser visto abaixo. Foi configurado fator de escala para tecnológica com $L=250$ nm.

```
**** Exportação Magic NAND4

.option scale=0.25n
.SUBCKT ND4 A B C D OUT VDD GND
M1000 OUT A VDD VDD CMOSP w=40000 l=10000
+ ad=2.4e+09 pd=280000 as=3.2e+09 ps=400000
M1001 VDD B OUT VDD CMOSP w=40000 l=10000
+ ad=0 pd=0 as=0 ps=0
M1002 OUT C VDD VDD CMOSP w=40000 l=10000
+ ad=0 pd=0 as=0 ps=0
M1003 VDD D OUT VDD CMOSP w=40000 l=10000
+ ad=0 pd=0 as=0 ps=0
M1004 a_n100_n100 A GND GND CMOSN w=20000 l=10000
+ ad=6e+08 pd=100000 as=5e+08 ps=90000
M1005 a_300_n100 B a_n100_n100 GND CMOSN w=20000 l=10000
+ ad=6e+08 pd=100000 as=0 ps=0
M1006 a_700_n100 C a_300_n100 GND CMOSN w=20000 l=10000
+ ad=6e+08 pd=100000 as=0 ps=0
M1007 OUT D a_700_n100 GND CMOSN w=20000 l=10000
+ ad=5e+08 pd=90000 as=0 ps=0
C0 VDD OUT 14570.0fF
C1 OUT GND 5090.0fF
```

```
C2 VDD GND 9028.0fF
.ENDS ND4
```

```
*Definições para simulação da porta NAND4
```

```
V1 VDD 0 dc=5
VA A 0 pulse(5 0 0 10p 10p 1u 2u)
VB B 0 pulse(5 0 0 10p 10p 2u 4u)
VC C 0 pulse(5 0 0 10p 10p 4u 8u)
VD D 0 pulse(5 0 0 10p 10p 8u 16u)

.include amis_c5n.txt
.include NAND4.spice

X1 A B C D OUT VDD 0 ND4

.control
    tran 10n 40u
    plot A B+6 C+12 D+18 OUT+30
.endc

.end
```

Outro aspecto avaliado através da simulação do modelo Spice exportado do layout foi a simetria da região de comutação. O resultado obtido para esta simulação é mostrado na Figura 11, na qual observa-se uma assimetria considerável na curva de comutação. Para a passagem de “1” para “0” da saída, isto é, quando os transistores NMOS são acionados, tem-se uma tensão de 3,8 V nas entradas para uma tensão de saída de 2,5 V.

Esta assimetria da região de comutação pode ser justificada pela aplicação de quatro transistores em série na rede NMOS em função do efeito de corpo gerado entre os transistores, Rabey (2003). O estudo completo da região de comutação depende da análise de uma série de parâmetros construtivos, e esta análise foge do escopo deste trabalho.

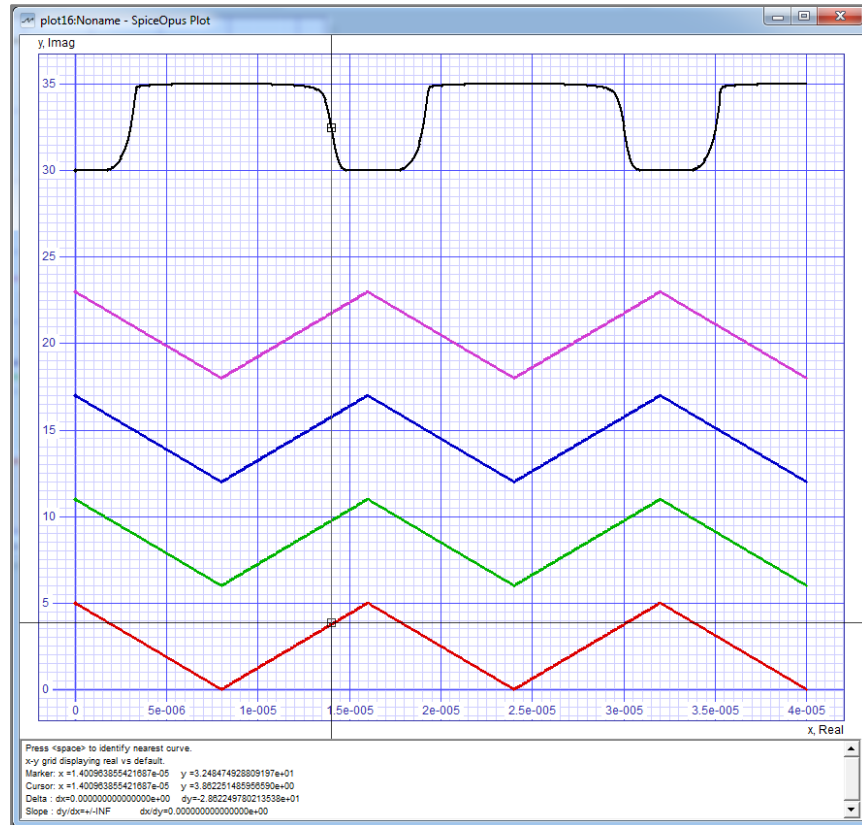


Figura 11: ponto de comutação do circuito.

Abaixo pode ser visto o código Spice utilizado na simulação mostrada na Figura 11.

```
**** Definições para simulação da porta NAND4 - região de comutação

V1 VDD 0 dc=5
VA A 0 pulse(5 0 0 8u 8u 8n 16u)
VB B 0 pulse(5 0 0 8u 8u 8n 16u)
VC C 0 pulse(5 0 0 8u 8u 8n 16u)
VD D 0 pulse(5 0 0 8u 8u 8n 16u)

.include amis_c5n.txt
.include NAND4.spice

X1 A B C D OUT VDD 0 ND4

.control
    tran 10n 40u
    plot A B+6 C+12 D+18 OUT+30
.endc

.end
```

4 Layout simbólico do somador completo de 1 bit

O circuito para o qual foi solicitada a geração do layout simbólico é mostrado na Figura 12. Os pontos “z” e “w” foram adicionados para facilitar a identificação de partes no layout simbólico.

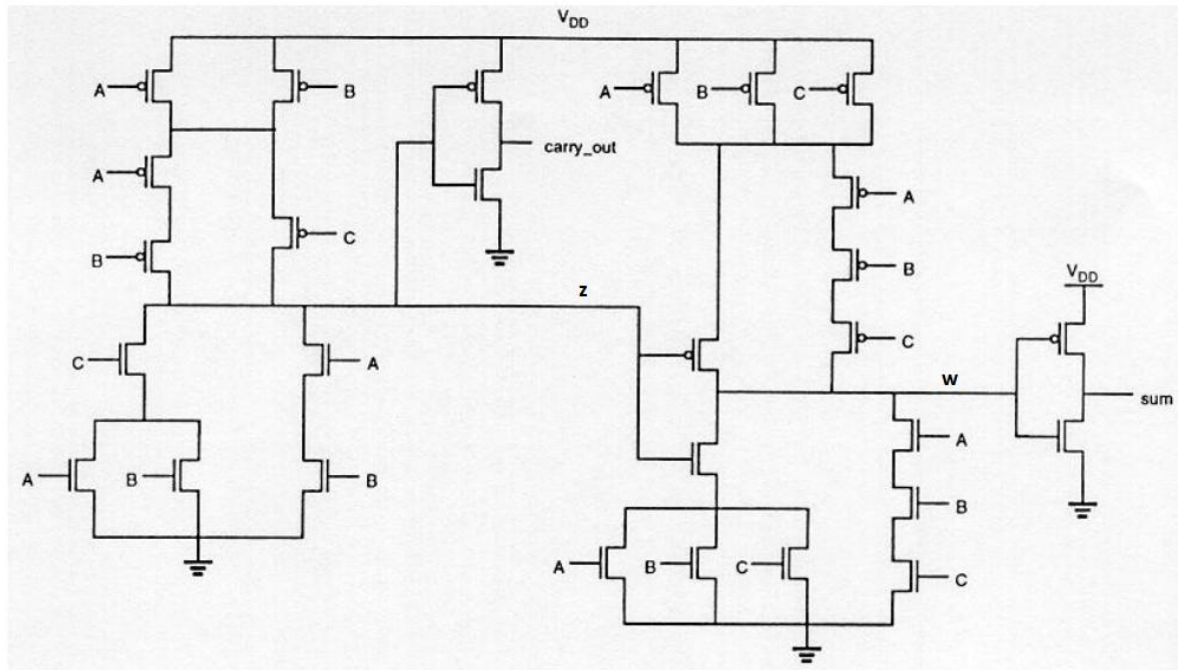


Figura 12: circuito em nível de transistores para o somador de 1 bit em questão. Adaptado de Costa (2015).

Na Figura 13 tem-se o layout simbólico gerado para o somador de 1 bit proposto. Foram aplicadas duas camadas de metal. O posicionamento das barras de polisilício foi feito de forma a minimizar o número de quebras nas regiões ativas, visto que isto encarece o processo de produção de um chip.

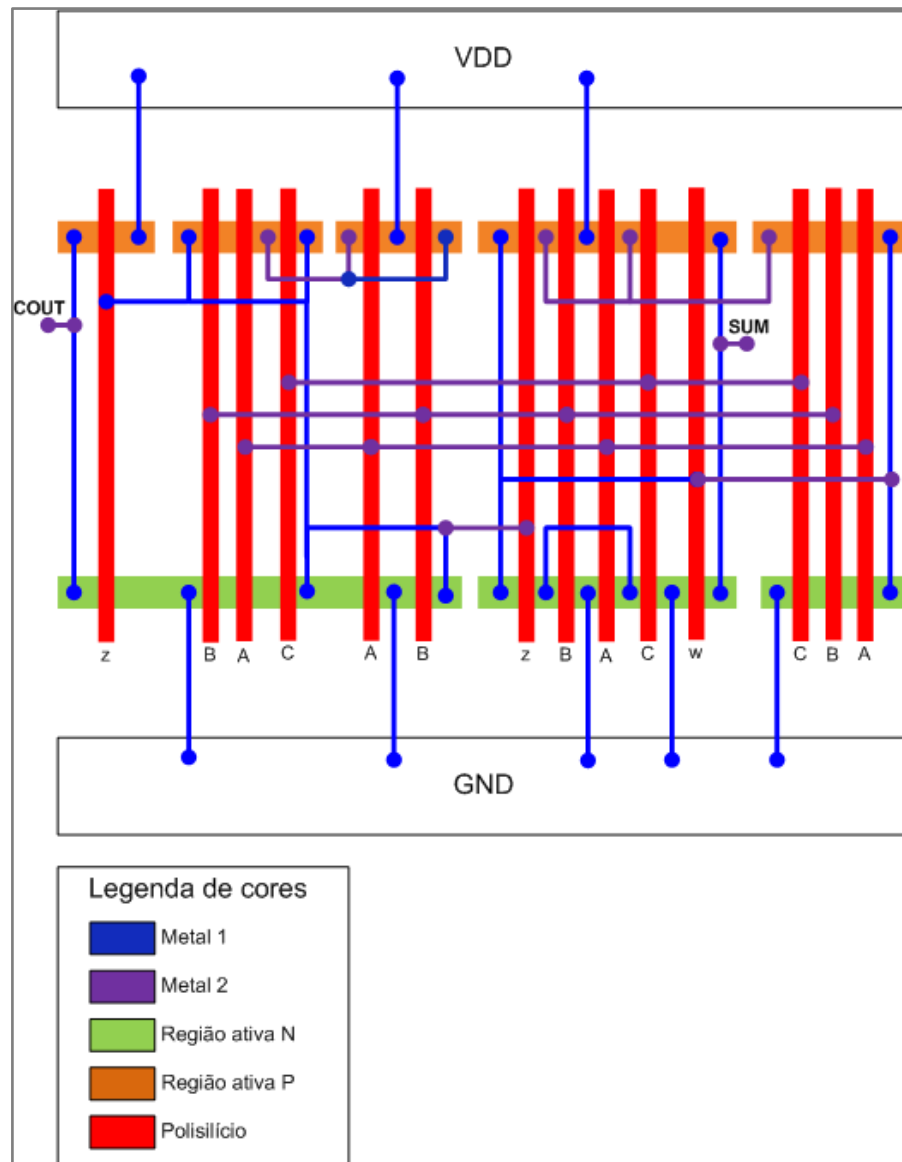


Figura 13: layout simbólico para o somador de 1 bit.

5 Conclusão

Através deste trabalho foram abordados aspectos relacionados ao layout de circuitos integrados, abordando tanto o layout simbólico quanto o físico. Através da elaboração do layout da porta NAND4 no software Magic foram observadas as principais partes que compõem o layout de um circuito integrado, e também a forma como estas devem ser organizadas e estruturadas.

A análise das regras de projeto, mesmo que partindo de uma especificação simplificada, mostrou que o layout de circuitos integrado é uma tarefa complexa e que para

projetos de grande porte é essencial que sejam aplicadas ferramentas que auxiliem em sua elaboração.

6 Referências Bibliográficas

COSTA, Eduardo Antonio César da. **Operadores Aritméticos De Baixo Consumo Para Arquiteturas De Circuitos DSP**. Porto Alegre: PPGC da UFRGS, 2002.

COSTA, Eduardo Antonio César da. **Layout: Slides Adaptados dos Cursos dos Professores Ricardo Reis e Rabaey e do NSCAD da UFRGS**. Pelotas: UCPel, 2015.

COSTA, Eduardo Antonio César da. **Slides Adaptados do Material do Professor João Canas Ferreira da Universidade do Porto do livro de Jan Rabaey (Digital Integrated Circuits) e da tese de doutorado do professor Eduardo Costa**. Pelotas: UCPel, 2015.

KRAUSE, Guilherme K. **Software Spice Opus Tutorial – Descrevendo e Simulando Uma Porta AND2 No Simulador Spice Opus**. Pelotas: UCPel, 2010.

Magic Tutorial #1: Getting Started. Disponível em:
<<http://opencircuitdesign.com/magic/archive/papers/tut1.pdf>> Acesso em: 27 de maio de 2015.

Magic Tutorial #2: Basic Painting and Selection. Disponível em:
<<http://opencircuitdesign.com/magic/archive/papers/tut2.pdf>> Acesso em: 27 de maio de 2015.

Magic Tutorial #4: Cell Hierarchies. Disponível em:
<<http://opencircuitdesign.com/magic/archive/papers/tut4.pdf>> Acesso em: 27 de maio de 2015.

Magic Tutorial #8: Circuit Extraction. Disponível em:
<<http://opencircuitdesign.com/magic/commandref/ext2spice.html>> Acesso em: 27 de maio de 2015.

RABEY, M. Rabey. **Digital Integrated Circuits A Design Perspective**. Paperback, 2003.

Spice Opus - Getting Started. Disponível em:
< <http://www.spiceopus.si/schematic.html>> Acesso em: 27 de maio de 2015.