

Layout de uma porta lógica AND3

Rodrigo Blanke Lambrecht

Resumo—Os conhecimentos teóricos adquiridos ao longo do curso são solidificados através de trabalhos práticos que utilizam ferramentas de simulação de circuitos e/ou construção de layouts de portas lógicas em nível de materiais semicondutores. Como exemplo pode-se mencionar o software Magic VSLI. Diante disto, nesse trabalho será feito o layout de uma porta AND3 utilizando a ferramenta Magic VSLI. Também será realizada a simulação do circuito com os parâmetros resultantes do layout no software SpiceOpus, alterando seus parâmetros de fabricação para comparação.

Palavras Chave—Layout, Magic VSLI, AND3, SpiceOpus.

1 INTRODUÇÃO

Um CI (Circuito Integrado) pode ser definido como sendo um conjunto de componentes de elementos de circuito, como resistores, diodos, capacitores e transistores, formados e interligados de forma simultânea dentro de um mesmo corpo, normalmente uma pastilha de silício, constituindo um dispositivo único que realiza a função do circuito.

Uma porta lógica pode ser tratada como um circuito integrado, embora não contemple em sua construção todos os componentes citados na definição [1].

Para a execução do layout da porta NAND3 foi utilizado o software Magic VSLI que é um editor de layout gratuito, que possibilita a criação de layout de circuitos integrados de forma manual.

Para a realização deste trabalho também será necessário o auxílio do SpiceOpus que é um software de simulação que pode ser utilizado para analisar o comportamento elétrico de um circuito que pode conter diversos tipos de componentes, como por exemplo, transistores, diodos, resistores, capacitores e etc.

Possibilitando desta forma que o usuário estime, através de vários tipos de simulações, o comportamento de circuitos elétricos dos mais variados tamanhos e níveis de complexidade.

2 PORTA AND3

A porta lógica AND3 obedece a expressão lógica $OUT = ABC$ e a Tabela Verdade demonstrada na Figura 1. A sua topologia CMOS está demonstrada na Figura 2.

Pode-se perceber que ela utiliza uma porta lógica NAND3, sombreada em azul na Figura 2 que possui sua saída conectada a uma porta lógica inversora sombreada em vermelho na Figura 2.

A porta NAND3 é constituída de 3 transistores PMOS associados em paralelos, entre VDD e OUT, e por outros 3 transistores NMOS conectados em série entre GND e OUT. A porta Inversora é composta por 1 transistor NMOS e 1 transistor PMOS.

Portanto para constituição da porta AND3 são necessários 8 transistores (4 NMOS e 4 PMOS).

A	B	C	OUT
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Figura 1. Tabela Verdade da porta AND3

- Rodrigo Blanke Lambrecht: Mestrando em Engenharia Eletrônica e Computação. Universidade Católica de Pelotas - UCPEL.
E-mail: rodrigoucpele@hotmail.com

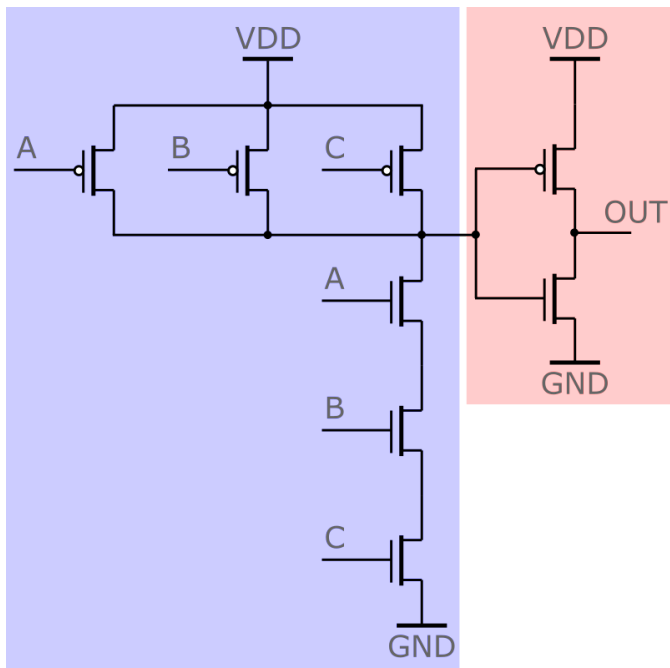


Figura 2. Topologia CMOS da porta lógica AND3

3 LAYOUT AND3

Para desenhar o layout de um CI é necessário seguir algumas regras de projeto, para este trabalho foram seguida as regras conforme orientado na disciplina de Introdução ao projeto de circuitos integrados. Estas regras estão resumidas na Figura 3.

O layout resultante está demonstrado na Figura 4.

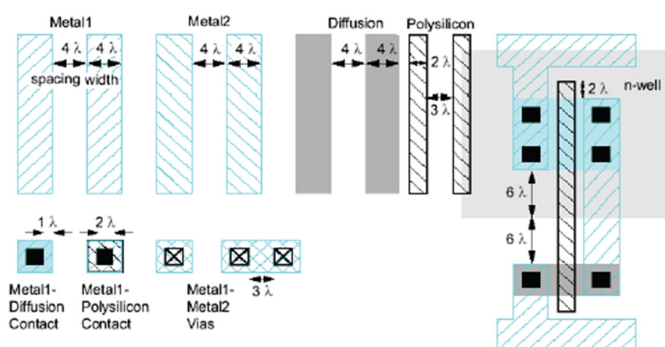


Figura 3. Regras de Projeto

4 SIMULAÇÕES SPICEOPUS

Após realizado o desenho do Layout é possível extrair o Netlist para importar os

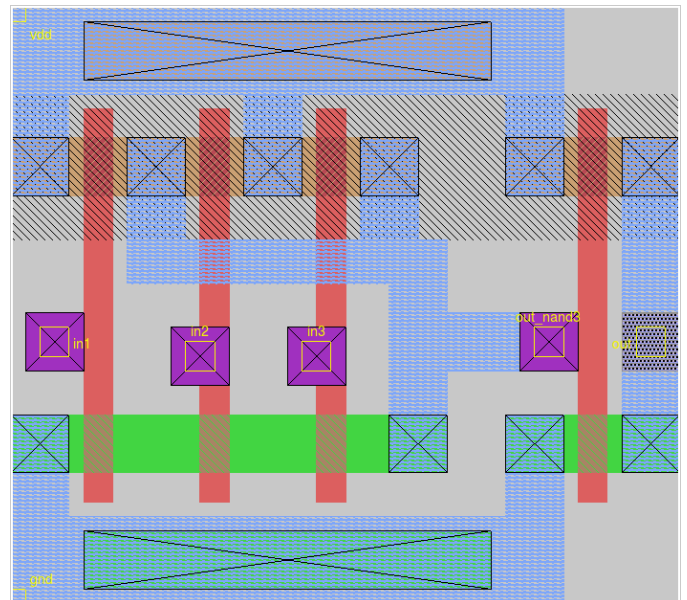


Figura 4. Layout porta lógica AND3

parâmetros no software SpiceOpus com o comando ext2spice no terminal do software, o resultado pode ser visto na Figura 5. Porém é necessário realizar algumas alterações no arquivo para poder realizar a simulação.

* SPICE3 file created from and3_3.ext - technology: scmos

.option scale=1u

```
M1000 out_nand3 in1 vdd w_0_27# pfet w=4 l=2
+ ad=44 pd=38 as=176 ps=120
M1001 vdd in2 out_nand3 w_0_27# pfet w=4 l=2
+ ad=0 pd=0 as=0 ps=0
M1002 out_nand3 in3 vdd w_0_27# pfet w=4 l=2
+ ad=0 pd=0 as=0 ps=0
M1003 out out_nand3 vdd w_0_27# pfet w=4 l=2
+ ad=20 pd=18 as=0 ps=0
M1004 a_7_11# in1 gnd Gnd nfet w=4 l=2
+ ad=24 pd=20 as=152 ps=100
M1005 a_15_11# in2 a_7_11# Gnd nfet w=4 l=2
+ ad=24 pd=20 as=0 ps=0
M1006 out_nand3 in3 a_15_11# Gnd nfet w=4 l=2
+ ad=28 pd=22 as=0 ps=0
M1007 out out_nand3 gnd Gnd nfet w=4 l=2
+ ad=20 pd=18 as=0 ps=0
C0 w_0_27# out_nand3 2.8fF
C1 gnd gnd! 6.6fF
C2 out gnd! 2.3fF
C3 out_nand3 gnd! 10.2fF
C4 in3 gnd! 4.4fF
C5 in2 gnd! 4.4fF
C6 in1 gnd! 5.1fF
C7 vdd gnd! 5.5fF
```

Figura 5. Netlist exportado do Magic

Primeiramente altere-se o modelo do transistor, de pfet para CMOSP e de nfet para CMOSN. Após isto é necessário alterar o nome da variável dos nós pois o SpiceOpus não reconhece o caracter # ao realizar a simulação.

Além disto é necessário inserir os dados

das variáveis de entrada, as tensões do circuito, o arquivo de tecnologia e as funções para simulação e plotagem. O Netlist alterado resultante está demonstrado na Figura 6.

```
Título: AND3

V1 vdd 0 dc 5
V2 gnd 0 dc 0
V3 in1 0 pulse(5 0 0 0p 0p 4n 8n)
V4 in2 0 pulse(5 0 0 0p 0p 8n 16n)
V5 in3 0 pulse(5 0 0 0p 0p 16n 32n)
*****
.option scale=1u

M1000 out_nand3 in1 vdd w_0_27 CMOS w=4 l=2
+ ad=44 pd=38 as=176 ps=120
M1001 vdd in2 out_nand3 w_0_27 CMOS w=4 l=2
+ ad=0 pd=0 as=0 ps=0
M1002 out_nand3 in3 vdd w_0_27 CMOS w=4 l=2
+ ad=0 pd=0 as=0 ps=0
M1003 out_nand3 vdd w_0_27 CMOS w=4 l=2
+ ad=20 pd=18 as=0 ps=0
M1004 a_7_11 in1 gnd Gnd CMOS w=4 l=2
+ ad=24 pd=20 as=152 ps=100
M1005 a_15_11 in2 a_7_11 Gnd CMOS w=4 l=2
+ ad=24 pd=20 as=0 ps=0
M1006 out_nand3 in3 a_15_11 Gnd CMOS w=4 l=2
+ ad=28 pd=22 as=0 ps=0
M1007 out_nand3 gnd Gnd CMOS w=4 l=2
+ ad=20 pd=18 as=0 ps=0
*****
C0 w_0_27 out_nand3 2.8fF
C1 gnd gnd 6.6fF
C2 out_nand3 2.3fF
C3 out_nand3 gnd 10.2fF
C4 in3 gnd 4.4fF
C5 in2 gnd 4.4fF
C6 in1 gnd 5.1fF
C7 vdd gnd 5.5fF
*****
.include amis_c5n.txt

.control
tran 10p 100n
plot in1 in2+10 in3+20 out+30
.endc

.end
```

Figura 6. Netlist para simulação no SpiceOpus

O resultado da simulação está demonstrado na Figura 7 onde foram utilizados os seguintes parâmetros de tecnologia:

- $W_p=4\mu$ $W_n=4\mu$ $L=2\mu$ $CL=2,3fF$
- $Rampa=10p$



Figura 7. Resultado da simulação 1

Percebe-se através da Figura 7 que o re-

sultado esperado foi obtido porém existe um atraso na resposta de saída, um arredondamento na forma de onda e uma distorção antecedendo a borda de descida.

Em uma segunda simulação alterou-se os valores de W_n e W_p ao original, mantendo os valores de CL e $Rampa$.

Observa-se na Figura 8 que o atraso de resposta aumenta, a onda se mantém com aspecto arredondado e distorção na borda de descida.

- $W_p=10\mu$ $W_n=5\mu$ $L=2\mu$ $CL=2,3fF$
- $Rampa=10p$



Figura 8. Resultado da simulação 2

Na terceira simulação retornou-se os valores de W_n W_p , alterou-se o valor CL e manteve-se o valor de $Rampa$.

Observa-se na Figura 9 que o atraso de resposta aumenta e a forma de onda aproxima-se de uma forma triangular.

- $W_p=4\mu$ $W_n=4\mu$ $L=2\mu$ $CL=200fF$
- $Rampa=10p$



Figura 9. Resultado da simulação 3

Na quarta simulação retornou-se os valores de W_n , W_p e CL ao inicial e aumentou-se o valor de Rampa.

Observa-se na Figura 10 que mesmo com uma rampa maior a saída resultante se manteve próximo aos valores iniciais se comparado com a Figura 7.

- $W_p=4u$ $W_n=4u$ $L=2u$ $CL=2,3fF$
- Rampa=50p

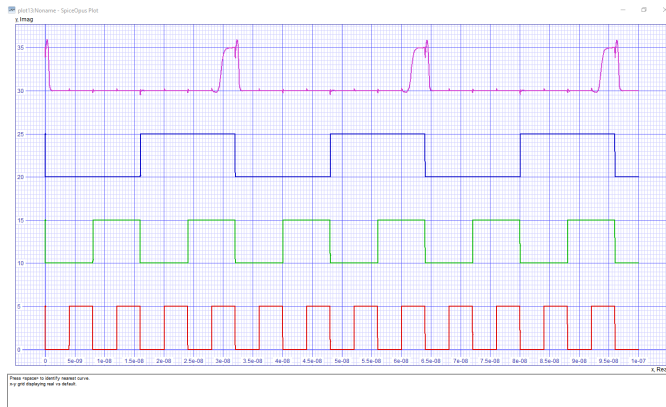


Figura 10. Resultado da simulação 4

5 LAYOUT AND3 UTILIZANDO O SOFTWARE MICROWIND

No software Microwind deoarou-se com a falta do layout da porta lógica AND3 mas encontrou-se as portas NAND3 e Inversor, no qual como já fora visto são as portas CMOS necessárias para constituir a porta AND3.

O resultado gerado é demonstrado na Figura 11, onde pode-se perceber semelhanças na estrutura do layout, porém no Microwind são utilizados mais do que 1 tipo de metal.

6 CONSIDERAÇÕES FINAIS

Durante a implementação do circuito foram encontradas algumas dificuldades no uso da ferramenta Magic. Dentre elas podemos citar o ajuste dos parâmetros construtivos. Além disso percebe-se o quão complicado é a criação de um layout que atenda as necessidades da porta lógica sem afetar muito o seu funcionamento.

Chegou-se a um resultado satisfatório em um layout mais simplificado se comparado ao resultante do software Microwind.

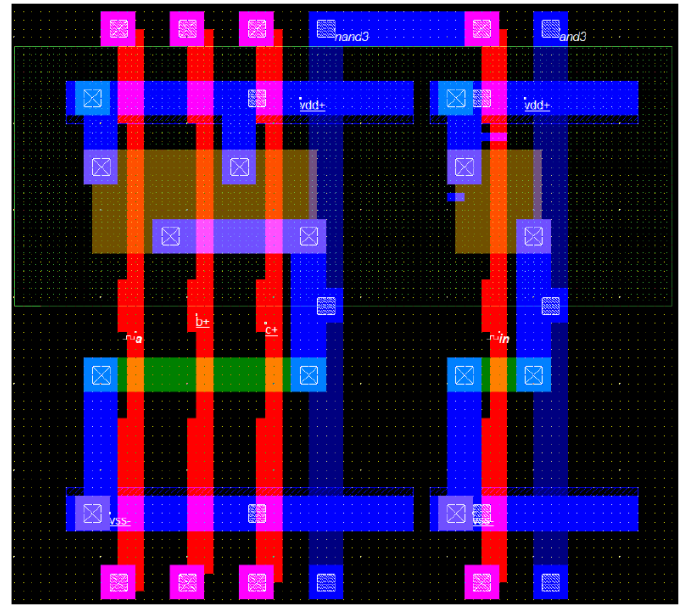


Figura 11. Layout Microwind

REFERÊNCIAS

- [1] C. A. S. dos Santos and A. M. Engroff, "Projeto de um decodificador 4x16 bits utilizando tecnologia complementary metal-oxide semiconductor de 0,25 μm e metodologia standard cell."